

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-291314

(43) 公開日 平成6年(1994)10月18日

(51) Int. Cl. <sup>5</sup>

H01L 29/784

21/336

識別記号

9056-4M

9056-4M

F I

H01L 29/78

311 G

311 P

審査請求 未請求 請求項の数 2 F D (全5頁)

(21) 出願番号 特願平5-101864

(22) 出願日 平成5年(1993)4月6日

(71) 出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿2丁目6番1号

(72) 発明者 小川 康一

東京都八王子市石川町2951番地の5 カシ  
オ計算機株式会社八王子研究所内

(72) 発明者 下牧 伸一

東京都八王子市石川町2951番地の5 カシ  
オ計算機株式会社八王子研究所内

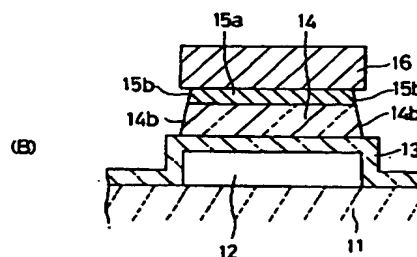
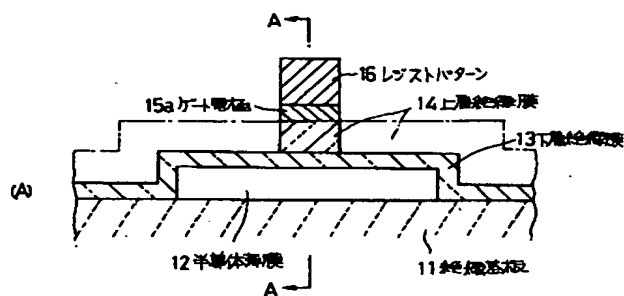
(74) 代理人 弁理士 杉村 次郎

(54) 【発明の名称】 薄膜トランジスタの製造方法

(57) 【要約】

【目的】 不純物を低加速エネルギーで注入するために、ゲート電極の下以外のゲート絶縁膜の膜厚をエッチングにより薄くする際、ゲート電極下のゲート絶縁膜にアンダーカット部が生じないようにする。

【構成】 モリブデンからなるゲート電極15a上に形成されたレジストパターン16をマスクとして窒化シリコンからなる上層ゲート絶縁膜14を、窒化シリコンとモリブデンの両者を加工可能な反応ガスを用いたプラズマエッチングにより除去することにより、ゲート電極15a下の上層ゲート絶縁膜14にアンダーカット部が生じないようにすることができる。この結果、ゲート電極15a上に形成される層間絶縁膜の被覆性を良好とすることができる。



## 【特許請求の範囲】

【請求項 1】 少なくとも最上層が窒化シリコンからなるゲート絶縁膜上に、モリブデン、タンタル、タングステン、チタンのうち少なくとも一種を含む材料からなるゲート電極を形成し、該ゲート電極上に形成したレジストパターンをマスクとして前記ゲート絶縁膜のうち最上層の窒化シリコンを少なくともその厚さ方向の途中まで、該窒化シリコンと前記ゲート電極の両者を加工可能な反応ガスを用いたプラズマエッチングにより除去することを特徴とする薄膜トランジスタの製造方法。

【請求項 2】 前記ゲート絶縁膜は 2 層構造であって、上層が窒化シリコンからなり、下層が前記プラズマエッチングによりエッチングされない材料からなることを特徴とする請求項 1 記載の薄膜トランジスタの製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は薄膜トランジスタの製造方法に関する。

## 【0002】

【従来の技術】 セルフアライメント型の薄膜トランジスタを製造する場合、ポリシリコン等からなる半導体薄膜上にゲート絶縁膜を形成し、このゲート絶縁膜上にゲート電極を形成し、このゲート電極をマスクとしてイオン注入装置により半導体薄膜に不純物を注入し、これによりゲート電極に対応する半導体薄膜の中央部にチャネル領域をその両側に不純物領域からなるソース・ドレイン領域を形成し、さらに全上面に層間絶縁膜を形成し、この層間絶縁膜及びゲート絶縁膜にソース・ドレイン領域に達するコンタクトホールを形成し、コンタクトホールの部分にソース・ドレイン電極を形成している。

【0003】 このように、従来の薄膜トランジスタの製造方法では、半導体薄膜上に形成されたゲート絶縁膜を介して不純物を注入している。ところが、ゲート絶縁膜の膜厚が比較的厚いので、半導体薄膜に不純物の濃度プロファイルのピークを位置させるには、イオン注入の加速エネルギーを高くしなければならず、ひいてはイオン注入装置のコストが高くなり、またデバイスにダメージを与えることがあるという問題があった。

【0004】 そこで、最近では、不純物を低加速エネルギーで注入するために、ゲート電極をマスクとしてゲート絶縁膜をその厚さ方向の途中までエッチングして除去し、この状態で半導体薄膜に不純物を注入する方法が考えられている（特願平 3 - 3 3 8 0 1 4 号参照）。この方法の一例について図 6 を参照しながら説明すると、ガラス等からなる絶縁基板 1 上に設けられた半導体薄膜 2 を含む全上面に酸化シリコンからなる下層ゲート絶縁膜 3 と窒化シリコンからなる上層ゲート絶縁膜 4 を形成し、上層ゲート絶縁膜 4 上に形成したアルミニウムからなるゲート電極 5 をマスクとして上層ゲート絶縁膜 4 をエッチングすることにより、ゲート電極 5 の下以外の上

層ゲート絶縁膜 4 を除去し、半導体薄膜 2 のソース・ドレイン領域に対応する部分上に下層ゲート絶縁膜 3 のみを残した状態で不純物を注入する方法である。そして、この後、層間絶縁膜 6、コンタクトホール 7、ソース・ドレイン電極 8 を形成すると、セルフアライメント型の薄膜トランジスタが完成する。

## 【0005】

【発明が解決しようとする課題】 しかしながら、従来のこのような薄膜トランジスタの製造方法では、アルミニウムからなるゲート電極 5 をマスクとして窒化シリコンからなる上層ゲート絶縁膜 4 をエッチングした場合、図 7 に示すように、上層ゲート電極 5 下の上層ゲート絶縁膜 4 にアンダーカット部 9 が生じ、この結果ゲート電極 5 及び上層ゲート絶縁膜 4 を覆うように形成される層間絶縁膜 6 の被覆性が極めて悪化し、ひいてはゲートリーク電流が大きくなり、また層間ショートが発生し易くなるという問題があった。この発明の目的は、ゲート電極下のゲート絶縁膜にアンダーカット部が生じないようにすることができる薄膜トランジスタの製造方法を提供することにある。

## 【0006】

【課題を解決するための手段】 請求項 1 記載の発明は、少なくとも最上層が窒化シリコンからなるゲート絶縁膜上に、モリブデン、タンタル、タングステン、チタンのうち少なくとも一種を含む材料からなるゲート電極を形成し、該ゲート電極上に形成したレジストパターンをマスクとして、前記ゲート絶縁膜のうち最上層の窒化シリコンを少なくともその厚さ方向の途中まで、該窒化シリコンと前記ゲート電極の両者を加工可能な反応ガスを用いたプラズマエッチングにより除去するようにしたものである。請求項 2 記載の発明は、前記ゲート絶縁膜を上層が窒化シリコンからなり下層が前記プラズマエッチングによりエッチングされない材料からなる 2 層構造としたものである。

## 【0007】

【作用】 請求項 1 記載の発明によれば、ゲート絶縁膜のうち最上層の窒化シリコンを該窒化シリコンとモリブデン等からなるゲート電極の両者を加工可能な反応ガスを用いたプラズマエッチングにより除去しているの、ゲート電極下のゲート絶縁膜にアンダーカット部が生じないようにすることができる。この場合、請求項 2 記載の発明のようにすると、ゲート絶縁膜の下層をエッチングストップパとして利用することができ、従ってプラズマエッチングの制御を容易にすることができる。

## 【0008】

【実施例】 図 1 ～ 図 5 はそれぞれこの発明の一実施例におけるセルフアライメント型の薄膜トランジスタの各製造工程を示したものである。そこで、これらの図を順に参照しながら、セルフアライメント型の薄膜トランジスタの製造方法について説明する。

【0009】まず、図1に示すように、ガラス等からなる絶縁基板11の上面にポリシリコン等からなる半導体薄膜12をパターン形成する。この場合、一例として、まず絶縁基板11の上面全体にプラズマCVDにより半導体薄膜12を形成するためのアモルファスシリコン薄膜を500Å程度の厚さに堆積し、次いでエキシマレーザを照射することによりアモルファスシリコン薄膜を結晶化してポリシリコン薄膜とし、次いでポリシリコン薄膜の不要な部分をフォトリソグラフィ技術によりエッチングして除去することにより、薄膜トランジスタ形成領域のみに半導体薄膜12をパターン形成する。

【0010】次に、全上面にスパッタ装置により酸化シリコンからなる下層ゲート絶縁膜13を200Å程度の厚さに堆積する。次に、下層ゲート絶縁膜13の上面全体にプラズマCVD装置により窒化シリコンからなる上層ゲート絶縁膜14を1000~2000Å程度の厚さに堆積する。次に、上層ゲート絶縁膜14の上面全体にスパッタ装置により、モリブデンからなるゲート電極形成用薄膜15を膜厚600Å程度の厚さに堆積する。次に、半導体薄膜12の中央部（チャンネル領域）に対応する部分のゲート電極形成用薄膜15の上面にフォトリソグラフィ技術によってレジストパターン16を形成する。

【0011】次に、図2に示すようにレジストパターン16をマスクとしてゲート電極形成用薄膜15をエッチングして除去することにより、半導体薄膜12の中央部（チャンネル領域）に対応する部分の上層ゲート絶縁膜14の上面のみに残存するゲート電極形成用薄膜15によってゲート電極15aを形成する。

【0012】次に、図3（A）に示すように、レジストパターン16をマスクとして上層ゲート絶縁膜14をエッチングして除去することにより、ゲート電極15aの下のみに上層ゲート絶縁膜14を残存させる。この場合、例えば平行平板式プラズマエッチング装置を用い、圧力0.8 Torr、RF電力密度0.37 W/cm<sup>2</sup>、電極間隔5.5 mmの条件下でCF<sub>4</sub>と5%のO<sub>2</sub>との混合ガスでプラズマエッチングを行なう。この場合のプラズマエッチングは上層ゲート絶縁膜14の材料である窒化シリコンと、ゲート電極15の材料であるモリブデンの両者を加工可能な反応ガスを用いたプラズマエッチングとなる。従って、特に図3（B）に示すように、上層ゲート絶縁膜14がエッチングされるとともに、ゲート電極15aのサイド面もエッチングされることになる。この結果、ゲート電極15aのサイド面15bと上層ゲート絶縁膜14のサイド面14aとが段差のない連続した傾斜面を形成し、従ってゲート電極15a下の上層ゲート絶縁膜14にアンダーカット部が生じないようにすることができる。またこの場合、酸化シリコンからなる下層ゲート絶縁膜13はエッチングされないので、この下層ゲート絶縁膜13をエッチングストップとして

利用すると上述したプラズマエッチングの制御が容易となる。この後、レジストパターン16を除去する。

【0013】次に、図4に示すように、ゲート電極15aをマスクとしてイオン注入装置により半導体薄膜12に不純物を注入し、半導体薄膜12のチャンネル領域12aの両側にソース・ドレイン領域12bを形成する。この場合、半導体薄膜12のソース・ドレイン領域12bとなる部分の上面には膜厚200Å程度の上層ゲート絶縁膜13のみが形成されているので、不純物としてリンイオンを注入すると、30 keV程度の低加速エネルギーで注入することができ、従ってイオン注入装置のコストを低減することができ、またデバイスに与えるダメージを小さくすることができる。次に、エキシマレーザを照射し、注入した不純物を活性化する。

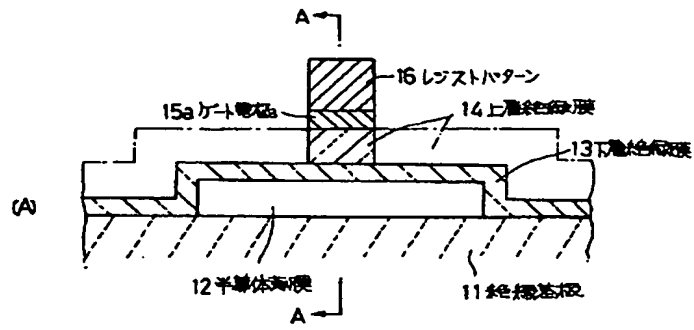
【0014】次に、図5に示すように、全上面にプラズマCVD法により窒化シリコンからなる層間絶縁膜17を膜厚3000Å程度の厚さに堆積する。この場合、既に説明したが、図3（B）に示すようにゲート電極15aのサイド面15bと上層ゲート絶縁膜14のサイド面14aとが段差のない連続した傾斜面を形成しているので、この層間絶縁膜17の被覆性を良好とすることができる。従って、ゲートリーク電流の増大を防止することができ、また層間ショートが発生しにくいようにすることができる。

【0015】次に、層間絶縁膜17及び下層ゲート絶縁膜13をフォトリソグラフィ技術によりエッチングして除去することにより、ソース・ドレイン領域12bに達するコンタクトホール18を形成する。次に、コンタクトホール18及び層間絶縁膜17上面の所定の箇所にスパッタ装置によりアルミニウム等からなるソース・ドレイン電極19を5000Å程度の厚さにパターン形成し、ソース・ドレイン領域12bと接続させる。かくしてセルフアライメント型の薄膜トランジスタが製造される。

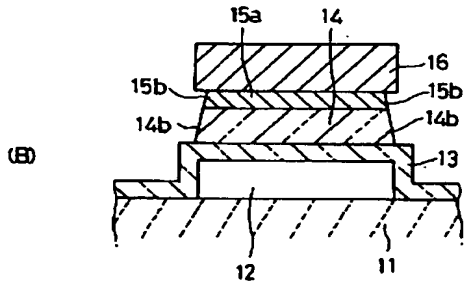
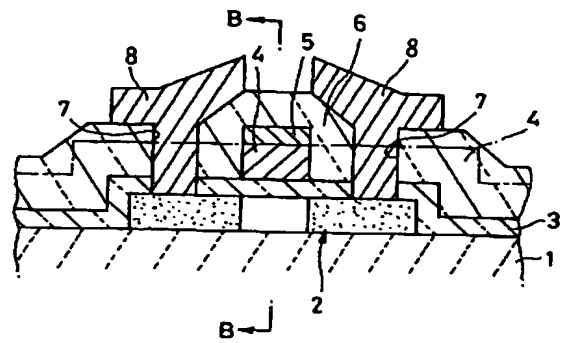
【0016】なお、上記実施例ではゲート電極15aの材料としてモリブデンを用いたが、これに限定されるものではなく、要は上層ゲート絶縁膜14の材料である窒化シリコンと同時にプラズマエッチングされるものであればよく、従ってモリブデン、タンタル、タングステン、チタンのうち少なくとも1種を含む材料を用いても良い。

【0017】また、上記実施例では、半導体薄膜12の上面に酸化シリコンからなる下層ゲート絶縁膜13を形成し、下層ゲート絶縁膜13の上面に窒化シリコンからなる上層ゲート絶縁膜14を形成し、上層ゲート絶縁膜14の上面にゲート電極形成用薄膜15を形成し、ゲート電極形成用薄膜15の上面に形成したレジストパターン16をマスクとしてゲート電極形成用薄膜15をエッチングして除去した後上層ゲート絶縁膜14をエッチングして除去し、この状態で不純物を注入しているが、こ

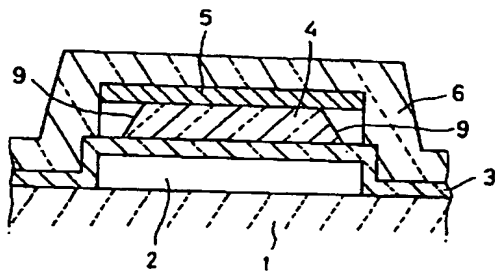
【図 3】



【図 6】



【図 7】



(19) Japanese Patent Office (JP)

(12) Publication of Laid-Open Patent Application (A)

(11) Publication Number of Patent Application:

Japanese Patent Laid-Open Publication No. 6-291314

(43) Date of Publication Application:

October 18, 1994

(51) Int. Cl.<sup>5</sup>: H 01 L 29/784, 21/336,

JPO File Number: 9056-4M, 9056-4M,

FI: H 01 L 29/78,

311 G, 311 P,

Request for Examination: Not requested

Number of Claims: 2

FD

Total 5 pages

(21) Application Number:

Japanese Patent Application No. 5-101864

(22) Date of Filing: April 6, 1993

(71) Applicant: 000001443

CASIO COMPUTER CO., LTD.

6-1, Nishishinjuku 2-chome, Shinjuku-ku, Tokyo

(72) Inventor: Koichi OGAWA

c/o CASIO COMPUTER CO., LTD.

Hachioji Research and Development Center

2951-5, Ishikawa-cho, Hachioji-shi, Tokyo

(72) Inventor: Shinichi SHIMOMAKI

c/o CASIO COMPUTER CO., LTD.

Hachioji Research and Development Center

2951-5, Ishikawa-cho, Hachioji-shi, Tokyo

(74) Representative: Patent Attorney Jiro SUGIMURA

(54) [Title of the Invention]

Manufacturing method of thin film transistor

(57) [Abstract]

[Object] To prevent the occurrence of an undercut portion in a gate insulating film under a gate electrode when the film thickness of the gate insulating film other than under the gate electrode is thinned by etching to implant an impurity with low acceleration energy.

**[Constitution]** By removing an upper gate insulating film 14 made of silicon nitride by plasma etching using a reactive gas which can process both silicon nitride and molybdenum, using a resist pattern 16 formed on a gate electrode 15a made of molybdenum as a mask, an undercut portion can be prevented from occurring in the upper gate insulating film 14 under the gate electrode 15a. As a result, the coating quality of an interlayer insulating film formed on the gate electrode 15a can be improved.

**[Scope of Claims]**

**[Claim 1]** A method for manufacturing a thin film transistor, comprising the steps of:

forming a gate electrode made of a material including at least one of molybdenum, tantalum, tungsten and titanium on a gate insulating film where at least a top layer is made of silicon nitride; and

removing the silicon nitride in the top layer of the gate insulating film at least up to middle of the thickness direction, by plasma etching using a reactive gas which can process both the silicon nitride and the gate electrode, using a resist pattern formed on the gate electrode as a mask.

**[Claim 2]** A method for manufacturing a thin film transistor according to claim 1, wherein the gate insulating film has a double-layered structure where an upper layer is made of silicon nitride and an under layer is made of a material that is not etched by the plasma etching.

**[Detailed Description of the Invention]**

**[0001]**

**[Field of Industrial Application]** This invention relates to a method for manufacturing a thin film transistor.

**[0002]**

**[Prior Art]** When manufacturing a thin film transistor of self-alignment type, a gate insulating film is formed on a semiconductor thin film made of polysilicon or the like, a gate electrode is formed on the gate insulating film, and an impurity is implanted to the semiconductor thin film by an ion implantation apparatus using the gate electrode as a mask, so that a channel region is formed in a center portion of the semiconductor thin film, that corresponds to the gate electrode, and source and drain regions made of impurity regions are formed in each side of the channel region. Furthermore, an interlayer insulating film is formed on the entire upper surface, and contact holes that reach the source and drain regions are formed in the interlayer insulating film and the gate insulating film, then source and drain electrodes are formed in the contact hole portions.

[0003] In this way, in a conventional method for manufacturing a thin film transistor, an impurity is implanted through a gate insulating film formed on a semiconductor thin film. However, since the thickness of the gate insulating film is relatively thick, acceleration energy of the ion implantation should be increased in order to place the peak of the concentration profile of the impurity in the semiconductor thin film. As a result, there are problems that the cost of the ion implantation apparatus becomes high, and the device can be damaged.

[0004] And so, in order to implant an impurity with low acceleration energy, it has been recently considered to remove a gate insulating film up to middle of the thickness direction by etching, using a gate electrode as a mask, and implant the impurity to a semiconductor thin film in this condition. (Refer to Japanese Patent Application No. 3-338014) An example of this method will be described with reference to Fig. 6. On the entire upper surface including a semiconductor thin film 2 provided on an insulating substrate 1 made of glass or the like, an under gate insulating film 3 made of silicon oxide and an upper gate insulating film 4 made of silicon nitride are formed. Then the upper gate insulating film 4 other than under a gate electrode 5 is removed by etching the upper gate insulating film 4, using a gate electrode 5 made of aluminum formed on the upper gate insulating film 4, as a mask. And an impurity is implanted, with the condition in which only the under gate insulating film 3 is left on the portions corresponding to source and drain regions of a semiconductor thin film 2. And after that, an interlayer insulating layer 6, contact holes 7, and source and drain electrodes 8 are formed, so that a thin film transistor of self-alignment type is completed.

[0005]

[Problems to be Solved by the Invention] However, with the conventional method for manufacturing a thin film transistor like this, when the upper gate insulating film 4 made of silicon nitride is etched using the gate electrode 5 made of aluminum as a mask, as shown in Fig. 7, undercut portions 9 occur in the upper gate insulating film 4 under the upper gate electrode 5. As a result, the coating quality of the interlayer insulating layer 6 formed so as to cover the gate electrode 5 and the upper gate insulating film 4 deteriorates extremely, so that a gate leakage current increases, and an interlayer short circuit easily occurs, which are problems. It is an object of the present invention to provide a method for manufacturing a thin film transistor, which can prevent the occurrence of an undercut portion in a gate insulating film under a gate electrode.

[0006]

[Means of Solving the Problems] The invention described in Claim 1 comprises the steps of: forming a gate electrode made of a material including at least one of

molybdenum, tantalum, tungsten and titanium on a gate insulating film where at least a top layer is made of silicon nitride; and removing the silicon nitride in the top layer of the gate insulating film at least up to middle of the thickness direction, by plasma etching using a reactive gas which can process both the silicon nitride and the gate electrode, using a resist pattern formed on the gate electrode as a mask. The invention described in Claim 2 teaches that the gate insulating film has a double-layered structure where an upper layer is made of silicon nitride and an under layer is made of a material that is not etched by the plasma etching.

[0007]

[Operation of the Invention] According to the invention described in Claim 1, silicon nitride in a top layer of a gate insulating film is removed by plasma etching using a reactive gas which can process both the silicon nitride and a gate electrode made of molybdenum or the like, so that an undercut portion can be prevented from occurring in the gate insulating film under the gate electrode. In this case, when the invention described in Claim 2 is applied, an under layer of the gate insulating film can be used as an etching stopper, and the control of the plasma etching can be easy.

[0008]

[Embodiments] Fig. 1 to Fig. 5 show each of the manufacturing processes of a thin film transistor of self-alignment type in an embodiment of this invention respectively. Referring to these figures in order, a method for manufacturing a thin film transistor of self-alignment type will be described.

[0009] First, as shown in Fig. 1, a semiconductor thin film 12 made of polysilicon or the like is pattern-formed on an upper surface of an insulating substrate 11 made of glass or the like. In this case, as an example, an amorphous silicon thin film to form the semiconductor thin film 12 is deposited to a thickness of approximately 500 Å on the entire upper surface of the insulating substrate 11 by plasma CVD first, then the amorphous silicon thin film is crystallized to be a polysilicon thin film by being irradiated with an excimer laser. After that, an unnecessary portion of the polysilicon thin film is removed by etching using a photolithography technique, so that the semiconductor thin film 12 is pattern-formed only on a region where a thin film transistor is to be formed.

[0010] Next, an under gate insulating film 13 made of silicon oxide is deposited to a thickness of approximately 200 Å on the entire upper surface by a sputtering apparatus. Then, an upper gate insulating layer 14 made of silicon nitride is deposited to a thickness of approximately 1000 to 2000 Å on the entire upper surface of the under gate insulating film 13 by a plasma CVD apparatus. Then, a thin film for forming a gate



electrode 15 made of molybdenum is deposited to a thickness of approximately 600 Å on the entire upper surface of the upper gate insulating layer 14 by a sputtering apparatus. Then, a resist pattern 16 is formed on a portion of the upper surface of the thin film for forming a gate electrode 15 which portion corresponds to a center portion (channel region) of the semiconductor thin film 12 by a photolithography technique.

[0011] Next, as shown in Fig. 2, by removing the thin film for forming a gate electrode 15 by etching using the resist pattern 16 as a mask, the thin film for forming a gate electrode 15 is left only on the portion of the upper surface of the upper gate insulating film 14 which portion corresponds to the center portion (channel region) of the semiconductor thin film 12, so that a gate electrode 15a is formed.

[0012] Next, as shown in Fig. 3 (A), by removing the upper gate insulating film 14 by etching using the resist pattern 16 as a mask, the upper gate insulating film 14 is left only under the gate electrode 15a. In this case, for example, plasma etching is performed under a condition of pressure 0.8 Torr, RF power density 0.37 W/cm<sup>2</sup>, electrode interval 55 mm, with a mixed gas of CF<sub>4</sub> and 5 % of O<sub>2</sub>, using a parallel plate plasma etching apparatus. The plasma etching in this case uses a reactive gas which can process both silicon nitride that is a material for the upper gate insulating film 14 and molybdenum that is a material for the gate electrode 15. Therefore, as shown especially in Fig. 3 (B), as well as the upper gate insulating layer 14 is etched, side surfaces of the gate electrode 15a are also etched. As a result, a side surface 15b of the gate electrode 15a and a side surface 14a of the upper gate insulating film 14 form an inclined plane that is smooth and has no bump. In this way, an undercut portion can be prevented from occurring in the upper gate insulating film 14 under the gate electrode 15a. Furthermore, in this case, since an under gate insulating film 13 made of silicon oxide is not etched, when the under gate insulating film 13 is used as an etching stopper, the control of the plasma etching described above becomes easy. After that, the resist pattern 16 is removed.

[0013] Next, as shown in Fig. 4, an impurity is implanted to the semiconductor thin film 12 by an ion implantation apparatus, using the gate electrode 15a as a mask, and source and drain regions 12b are formed in each side of a channel region 12a of the semiconductor thin film 12. In this case, since only the upper gate insulating layer 13 of approximately 200 Å thick is formed on the upper surface of the portion to be source and drain regions 12b in the semiconductor thin film 12, when phosphorus ions are implanted as the impurity, they can be implanted with low acceleration energy of approximately 30 keV. Therefore, the cost for the ion implantation apparatus can be lowered, and damage to the device can be decreased. Next, by irradiating with an

excimer laser, the implanted impurity is activated.

[0014] Next, as shown in Fig. 5, an interlayer insulating film 17 made of silicon nitride is deposited to a thickness of approximately 3000 Å on the entire upper surface by plasma CVD. In this case, as described before, the side surface 15b of the gate electrode 15a and the side surface 14a of the upper gate insulating film 14 form an inclined plane that is smooth and has no bump, as shown in Fig. 3 (B). In this way, the coating quality of the interlayer insulating film 17 is improved. Therefore, the increase in a gate leakage current can be prevented, and the occurrence of an interlayer short circuit can be reduced.

[0015] Next, by removing the interlayer insulating film 17 and the under gate insulating layer 13 by etching using a photolithography technique, contact holes 18 that reach the source and drain regions 12b are formed. Then, source and drain electrodes 19 made of aluminum or the like are pattern-formed in the contact holes 18 and on the predetermined place on the upper surface of the interlayer insulating film 17 to a thickness of approximately 5000 Å by a sputtering apparatus, so that they connect with the source and drain regions 12b. In this way, a thin film transistor of self-alignment type is manufactured.

[0016] Molybdenum is used as a material for the gate electrode 15a in the embodiment above, but the invention is not limited to this. As long as the material can be plasma-etched together with silicon nitride that is a material for the upper gate insulating film 14, it can be used. Therefore, a material including at least one of molybdenum, tantalum, tungsten and titanium may be used.

[0017] Furthermore, in the embodiment above, the under gate insulating film 13 made of silicon oxide is formed on the upper surface of the semiconductor thin film 12, and the upper gate insulating film 14 made of silicon nitride is formed on the upper surface of the under gate insulating film 13, then the thin film for forming a gate electrode 15 is formed on the upper surface of the upper gate insulating film 14, and the thin film for forming a gate electrode 15 is removed by etching, using the resist pattern 16 formed on the upper surface of the thin film for forming a gate electrode 15, and the upper gate insulating film 14 is removed by etching. In this condition, the impurity is implanted. However, the invention is not limited to this. For example, the upper gate insulating film 14 may be removed by etching up to middle of the thickness direction, and the impurity may be implanted in this condition. In addition, in the case of forming the gate insulating film by a single layer of a silicon nitride film, the single layer may be removed by etching up to middle of the thickness direction, and then the impurity may be implanted in this condition.

[0018]

[Effect of the Invention] As described above, according to the invention described in Claim 1, the occurrence of an undercut portion in a gate insulating film under a gate electrode can be prevented, so that the coating quality of an interlayer insulating film formed on the gate electrode can be improved. Therefore, the increase in a gate leakage current can be prevented, and the occurrence of an interlayer short circuit can be reduced. Furthermore, according to the invention described in Claim 2, an under layer of a gate insulating film can be used as an etching stopper, so that the control of plasma etching can be easy.

[Brief Description of Drawings]

Fig. 1 is a cross-sectional view in the condition where a semiconductor thin film, an under gate insulating film, an upper gate insulating film, a thin film for forming a gate electrode and a resist pattern are formed on an upper surface of an insulating substrate, when manufacturing a thin film transistor in an embodiment of the invention.

Fig. 2 is a cross-sectional view in the condition where a gate electrode is formed by etching a thin film for forming a gate electrode using a resist pattern as a mask, when manufacturing the thin film transistor.

Fig. 3 (A) is a cross-sectional view in the condition where an upper gate insulating film is removed by etching, using a resist pattern as a mask, when manufacturing the thin film transistor. Fig. 3 (B) is a cross-sectional view along the line A-A.

Fig. 4 is a cross-sectional view in the condition where an impurity is implanted to a semiconductor thin film, using a gate electrode as a mask, when manufacturing the thin film transistor.

Fig. 5 is a cross-sectional view in the condition where an interlayer insulating film, contact holes, source and drain electrodes are formed, when manufacturing the thin film transistor.

Fig. 6 is a cross-sectional view to describe a conventional method for manufacturing a thin film transistor.

Fig. 7 is a cross-sectional view along the line B-B in Fig. 6, shown to describe problems with the conventional method for manufacturing a thin film transistor.

[Description of Symbols]

12: semiconductor thin film

13: under gate insulating layer

14: upper gate insulating layer

15a: gate electrode

16: resist pattern